

Interface Série synchrone



ACIA
MC 6850

Interface Séries



- Clavier
- Ecran
- Imprimante série
- Modem
- Dérouleur de bande
- Modem
- Etc...

Types de communications

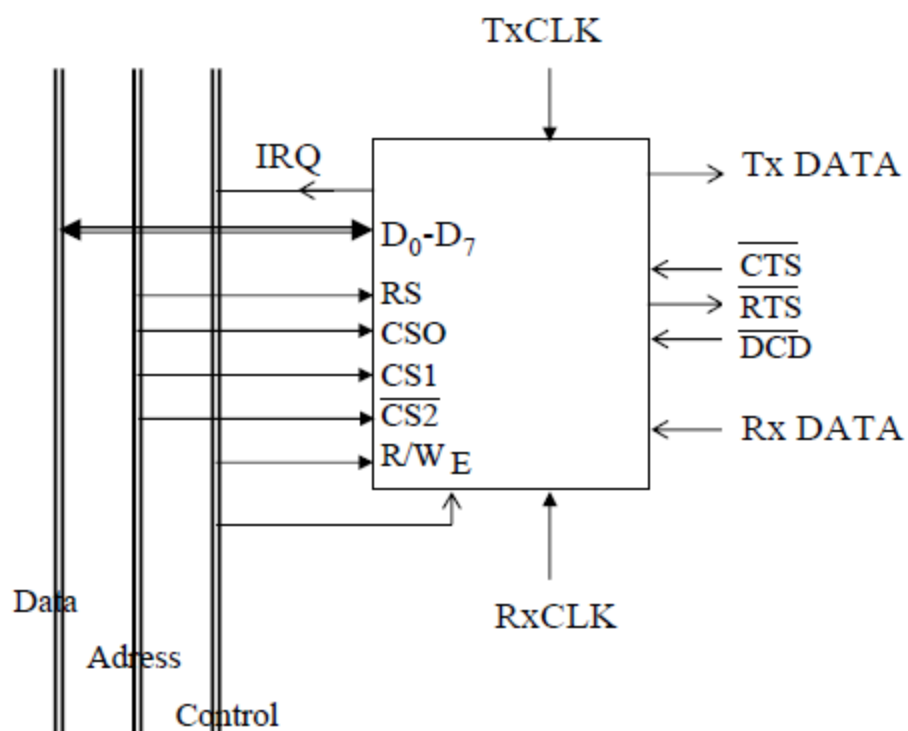


- Il existe deux types de communications Synchrones et Asynchrones.
- Nous étudierons en 1^{er} lieu le 6850 de la famille 6800, qui est de type série synchrone.

1 - Signaux de communications

- Les échanges avec le processeur se font par :
 - Bus de données D0-D7
 - 3 lignes de validation de boîtier CS0, CS1, CS2\
 - Une entrée ENABLE qui reçoit un signal d'horloge.
- Les échanges avec les PØ se font par :
 - Une ligne de transmission de donnée : TxDATA
 - Une ligne de réception de donnée : RxDATA
 - 3 lignes de commande MODEM:
 - CTS : Clear To Send
 - RTS : Request To Send
 - DCD : Data Carrier Detect

Schéma d'interconnexion



2 - Adressage



- Bien que l'ACIA ait 4 registres internes, le processeur voit cette interface comme si elle occupait seulement 2 positions mémoires.
- 2 registres sont à lecture seule :
 - registre d'état (SR)
 - registre de réception de données (RDR) :
- 2 registres en écriture seule :
 - registre de contrôle (CR)
 - registre de transmission de données (TDR)

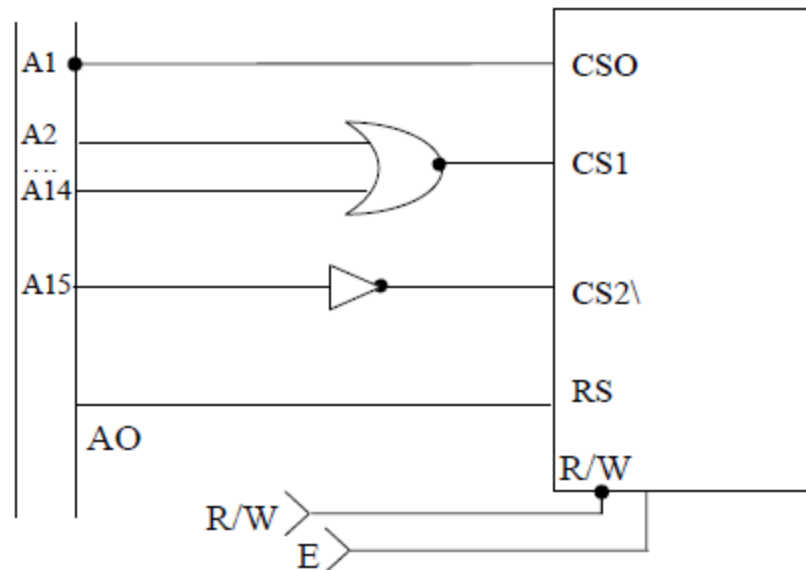
Adressage (suite)



- Le signal R/W, utilisé en conjonction avec la sélection de registre (RS) permettra l'adressage des 4 registres de l'ACIA, après validation de boîtier par les CS.

R/W	RS		Registre adressé
0	0	ADR	Registre de contrôle (CR)
0	1	ADR+1	Registre de transmission de donnée (TDR)
1	0	ADR	Registre d'état (SR)
1	1	ADR+1	Registre réception de donnée (RDR)

Adressage de l'ACIA



L'ACIA se trouve à l'adresse \$8002 & \$8003

Organisation interne de l'ACIA



- Quatre registres :
 - CR : Control Register
 - SR : Status Register
 - TDR : Transmit Data Register
 - RDR : Réception Data Register

Registre de Commande : CR



- Il détermine le fonctionnement des parties réception et émission de l'ACIA, le mode de fonctionnement des IT et de la ligne RTS
- Contient les paramètres :
 - format,
 - vitesse,
 - parité,

Facteur de division CR1,CR0



- CR0 et CR1 déterminent les facteurs de division des horloges de réception/transmission.
- La combinaison 11 étant utilisé pour l'initialisation programmé du registre de contrôle (MASTER RESET).

CR1	CR0	Facteur/div
0	0	%1
0	1	%16
1	0	%64
1	1	Master Reset

Format du mot



- CR2 CR3 CR4 : déterminent le format du mot transmis ou reçu :

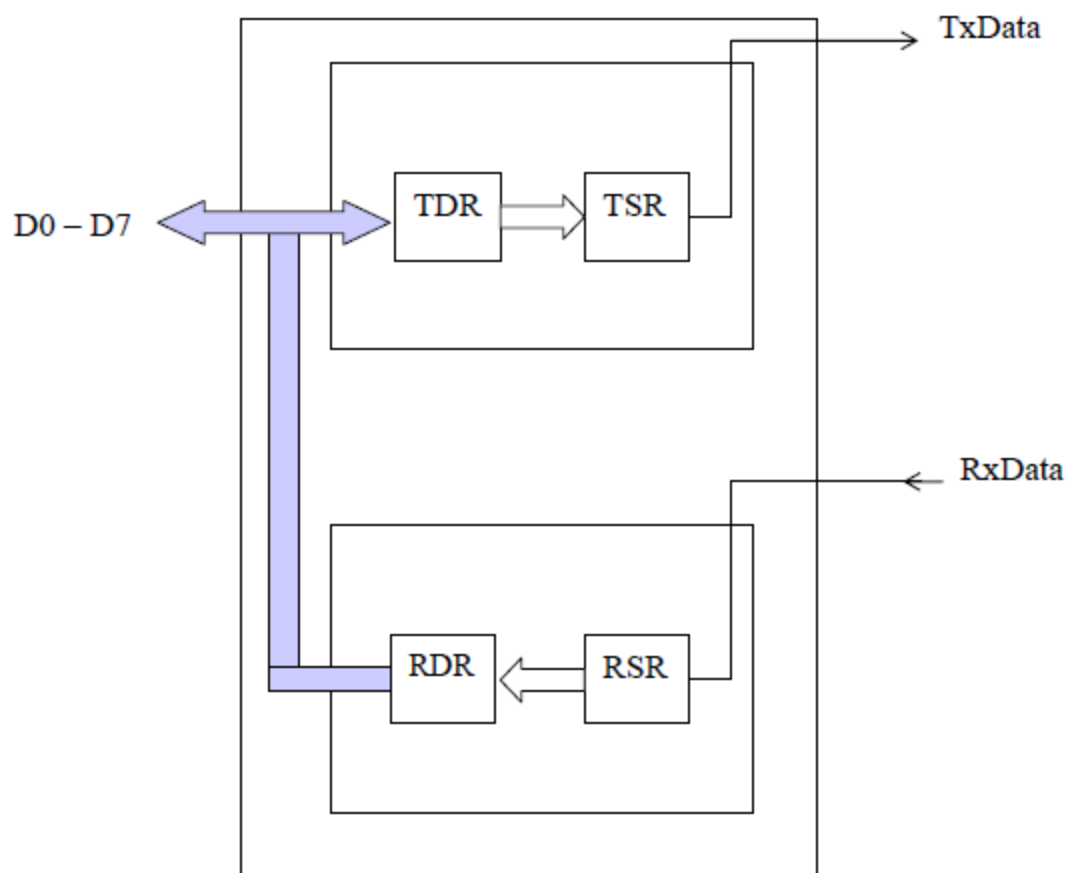
- Longueur du mot

- parité

- bit d 'arrêt

CR4	CR3	CR2	L.Mot	Parité	Stop bit
0	0	0	7	Paire	2
0	0	1	7	impaire	2
0	1	0	7	paire	1
0	1	1	7	impaire	1
1	0	0	8	sans	2
1	0	1	8	sans	1
1	1	0	8	paire	1
1	1	1	8	impaire	1

Schéma TxData, RxData



Contrôle de la transmission



- CR5 et CR6 : contrôlent la partie transmission de l'ACIA (autorisation IT transmission).
- Appelé TIE = Transmit Interrupt Enable
- Si TIE est validé SR7 (IRQ) du registre d'état suivra le bit SR1 (TDRE) du même registre.
SR1=1 veut dire que le registre de transmission est vide, donc on génère une interruption pour demander une transmission (sortie IRQ au niveau bas et SR7 sera positionné à 1).

Contrôle de la transmission



- Les différentes combinaisons permettent :
 - de fixer l'état de la sortie de demande d'envoi RTS\,
 - de valider ou non une autorisation d'IT de transmission

CR6-5		
0	0	RTS=0 et IT du transmetteur inhibée
0	1	RTS=0 et IT du transmetteur validée TDRE
1	0	RTS=1 et IT du transmetteur inhibée
1	1	RTS=0 et IT du transmetteur inhibée émission d'un Break

Autorisation d'IT réception



- CR7 : Valide ou non une autorisation d'IT de réception :
 - Appelé RIE : Receiver Interruption Enable,
 - Si RIE est validé, SR7 (IRQ) du registre d'état suivra le bit SR0 (RDRF) indiquant que le registre de réception est plein, la sortie IRQ passe au niveau bas et SR7 est positionné à 1.

Initialisation ACIA



- Avant de programmer un mot de contrôle complet, la mise sous tension doit être suivie d'un MASTER RESET ou initialisation programmé. 11 dans CR0 & CR1.

Registre d'état : SR



- Registre de 8 bits à lecture seule
- Contient les Informations d'état en provenance :
 - du registre de transmission
 - du registre de réception
 - des lignes de commandes du périphérique

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
IRQ	PE	OVRN	FE	CTS	DCD	TDRE	RDRF

SR0 : RDRF (Receiver Data Register Full)



- SR0 = 0 indique que le registre de réception est vide
- SR0 = 1 indique que le registre de réception est plein.

Lorsque SR0 est positionné les autres bits d'état (PE, OVRN, FE) sont aussi positionnés

Une lecture du registre de réception remettra SR0 à zéro

- SR0 est forcé à 0 :
 - Si DCD est à un niveau haut, indiquant une perte de porteuse, SR0 reste à 0 jusqu'à ce que DCD retrouve son niveau bas.
 - Pendant un MASTER RESET.

SR1 : TDRE (Transmit Data Register Empty)



- SR1 = 1 indique que le registre de transmission TDR est vide donc une donnée pourra être envoyé par le microprocesseur.
- SR1 = 0 indique que le registre de transmission est plein. Un signal interne de transfert fera passer l'info du registre TDR au registre TSR, remettant SR1 à 1.

TDRE est forcé à 0, si CTS\ est à un niveau haut.

SR2 : DCD\ (Data Carrier Detect)



SR2 : DCD\ Détection de porteuse de donnée. Ce bit est lié à l'entrée DCD.

- SR2 = 0 indique qu'une porteuse est présente.
- SR2 = 1 indique une perte de porteuse. Dans ce cas, si les IT du récepteur sont autorisées (CR7=1), une IT est envoyé (IRQ =0) SR7 passe à 1.

SR2 reste à 1 si DCD repasse à l'état bas, il est nécessaire pour le remettre à zéro de faire une lecture du registre d'état suivie d'une lecture du registre de réception ou d'un MASTER RESET.

Si pendant cette opération la ligne DCD reste à l'état haut, SR2 repassera à zéro, dès que DCD retrouve l'état bas.

SR3 : CTS (Clear To Send)



- Ce bit indique l'état de la ligne CTS en provenance du MODEM.
- SR3= 0 le Modem est prêt à émettre
- SR3= 1 inhibe TDRE (0) et IRQ (0)
- L'entrée CTS n'a pas d'effet sur un caractère en cours de transmission, Elle doit être mise à 0 en cas de non utilisation. Le bit CTS n'est pas affectée par un MASTER RESET.

Erreur de Format



- **SR4 : FE** (Framing Error ou Erreur de Format)

Ceci se produit lors d'une **perte de synchro (absence du premier bit STOP)** ou de la réception d'un Break.

SR4=0 indique qu'il n'y a pas d'erreur de format

SR4=1 indique une erreur de format sur la donnée reçue.

Ce bit est positionné durant le transfert de la donnée reçue et le restera tant que cette donnée est disponible.

SR4 est remis à 0 par un Master RESET ou un niveau haut sur DCD.

Erreur de Débordement

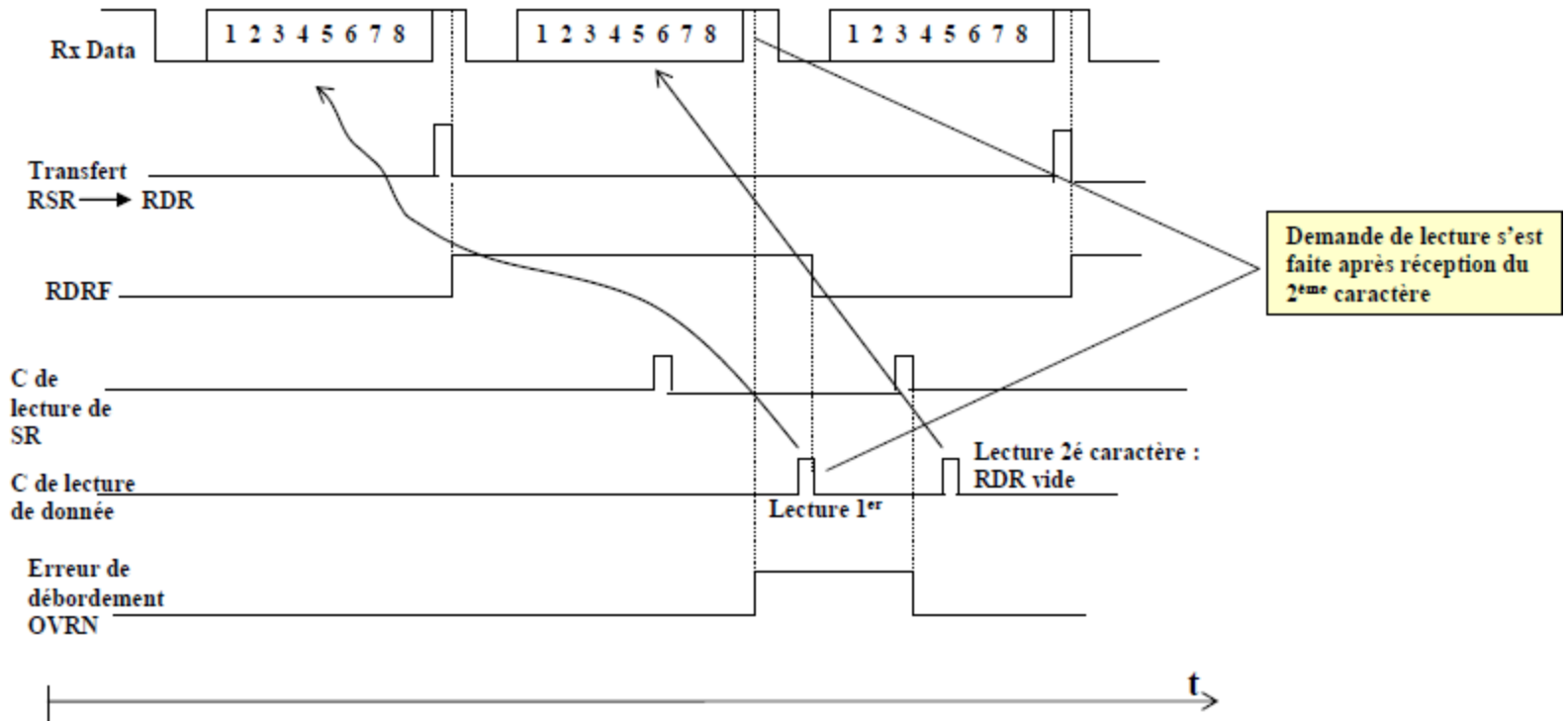


- SR5 : OVRN (Over Run débordement)
 - SR5=0 indique qu'aucun caractère n'a été perdu
 - SR5=1 indique une surcharge : un ou plusieurs caractères ont été perdus.

Ceci se produit lorsqu'un ou plusieurs caractères ont été reçus avant la lecture du caractère précédent dans le registre de réception.

Cependant la mise à 1 n'intervient que lorsque la lecture du caractère précédent la surcharge a eu lieu et elle se produit à partir du milieu du dernier bit du deuxième caractère reçu sans lecture du registre de réception. Le bit SR5 reste à 1 jusqu'à la prochaine lecture du SR. Un niveau haut sur DCD\ ou MASTER RESET entraîne la remise à 0 de OVRN.

Over-run Error

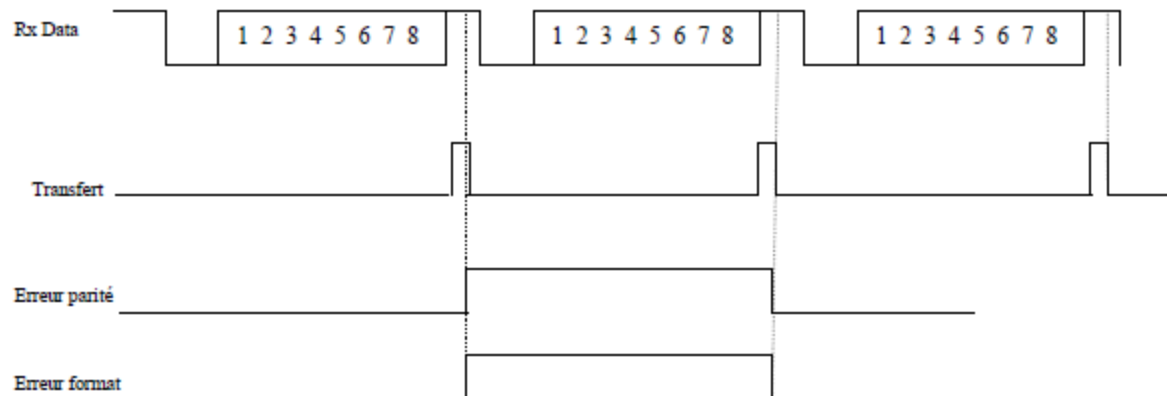


Erreur de parité



- SR6 : PE (Parity Error ou Erreur de parité)
 - $SR6 = 0$ indique qu'il n'y a pas d'erreur de parité
 - $SR6 = 1$ indique une erreur de parité
- Si l'on a programmé un contrôle de parité par les bits CR2, CR3 et CR4 du registre de contrôle, le bit SR6 sera activé lors du transfert interne.
- Un niveau Haut sur DCD ou un MASTER RESET met SR6 à 0.

Parity Error

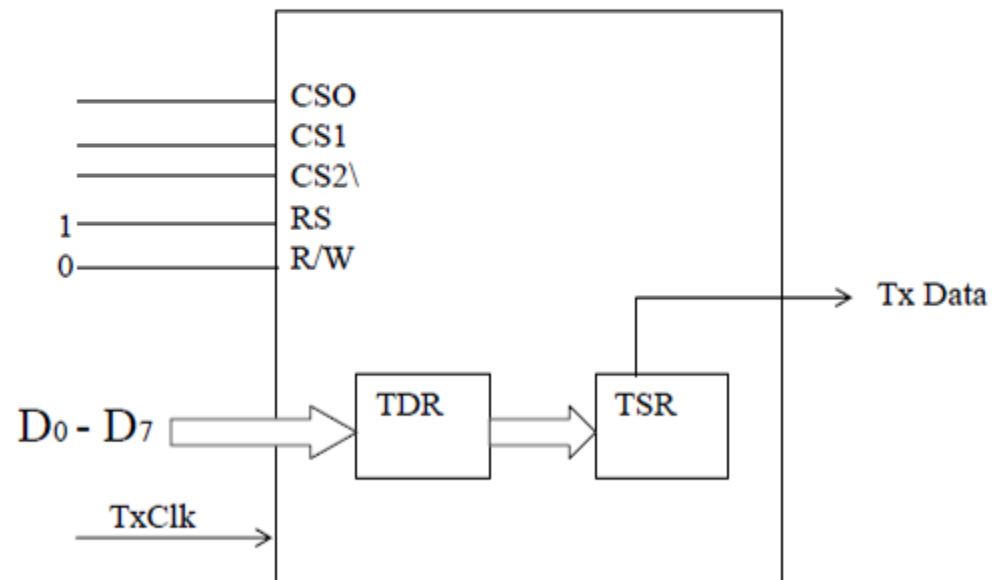


SR7 : IRQ (Interrupt ReQuest)



- $SR7 = 1$ une IT est positionnée.
- trois causes peuvent provoquer une interruption :
 - Si $CR7 = 1$ Les interruptions du récepteur sont autorisées
IRQ reproduit l'état de RDRF,
 - Si $CR6 = 0$ et $CR5 = 1$ Les IT du transmetteurs sont autorisées, IRQ reproduit l'état de TDRE.
 - Si $CR7 = 1$ et qu'il y a perte de porteuse - la ligne DCD passe à l'état haut - il y aura génération d'une interruption.
- IRQ est remis à zéro par :
 - une lecture du registre de réception (Si l'IT provient du récepteur)
 - une écriture dans le registre de transmission (Si l'IT provient du transmetteur).

4)-Transmission

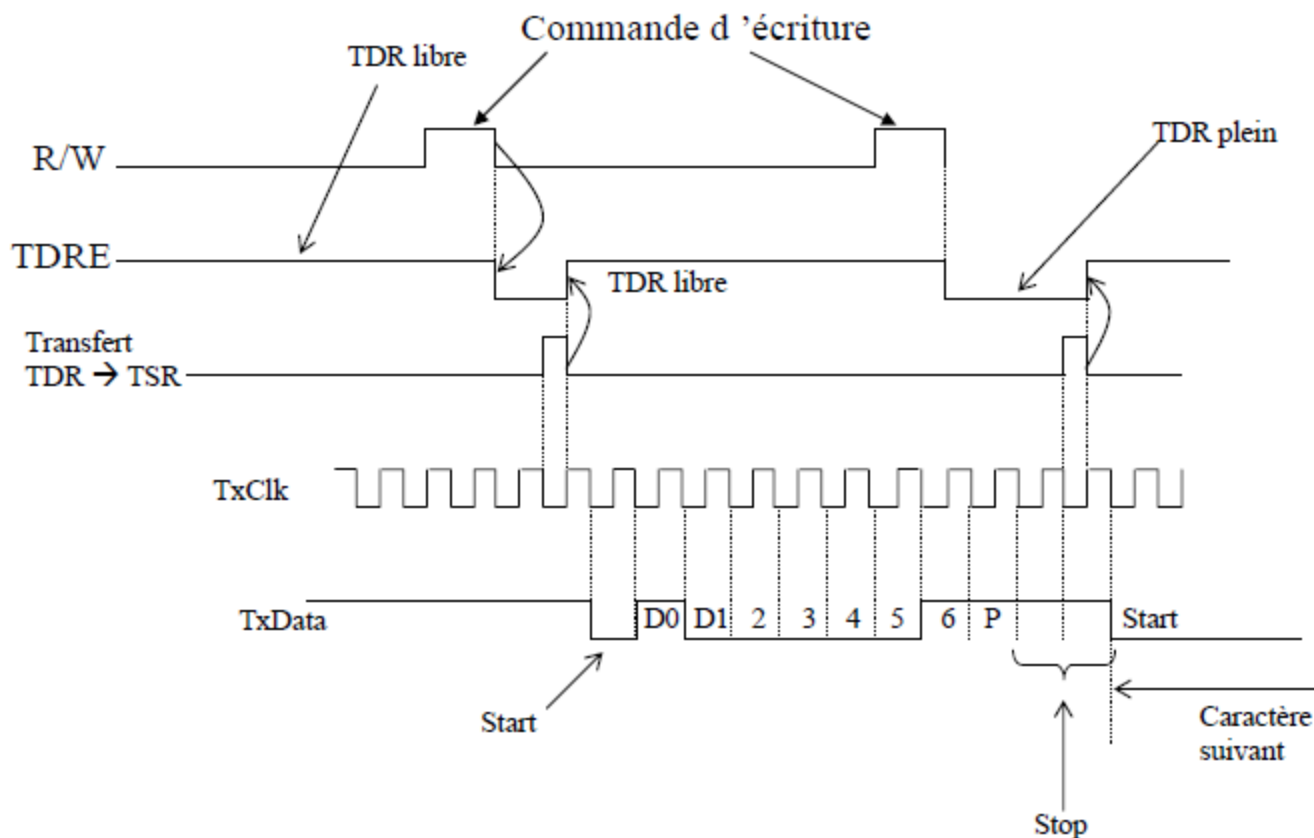


Transmission suite

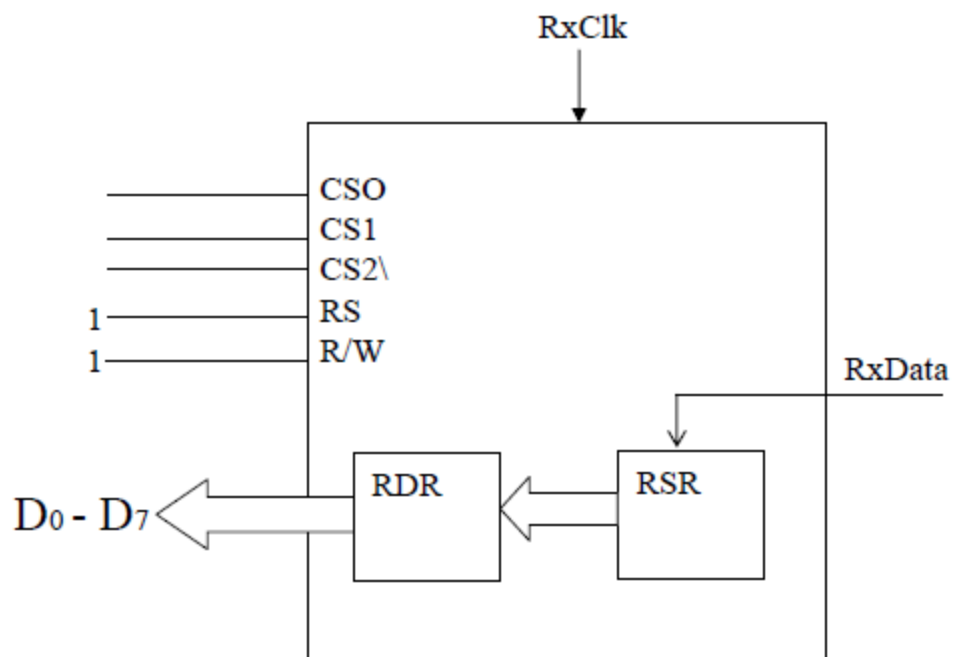


- La transmission d'un caractère doit être précédé de la lecture du registre d'état SR, afin de connaître l'état du bit TDRE. On pratique par IT ou par polling.
- Si $TDRE = 1$ le caractère à transmettre est chargé dans TDR sur une commande d'écriture, TDRE passe alors à 0 indiquant que le registre TDR n'est pas libre. Les données sont transférées de TDR vers TSR
- Le registre a décalage de sortie, TSR transmet sur la ligne TxData le caractère en synchronisme avec une Horloge interne dont la fréquence peut être 1/1, 1/16, ou 1/64 de la fréquence de l'horloge appliquée en TxClk.

Transmission de A en ASCII(\$41)



5)-Réception



Réception (suite)



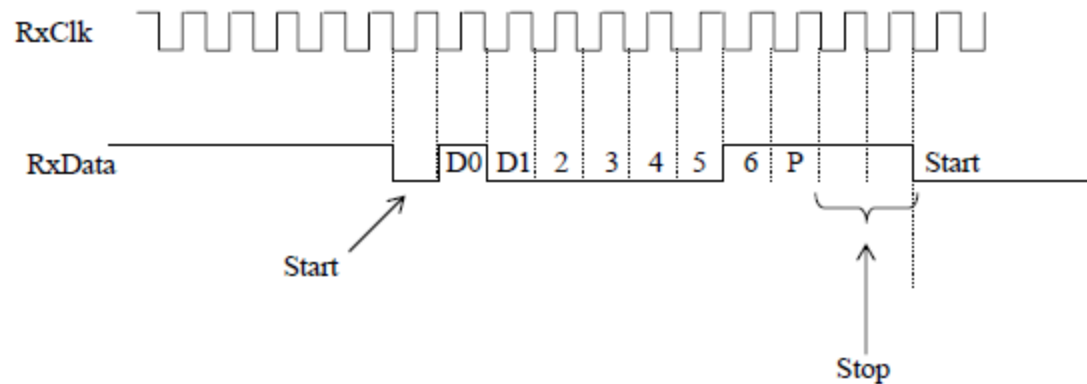
- Système asynchrone, les données sont transmises de façon aléatoire sans signal de synchro, se sont les bits START et STOP qui permettent une synchronisation des bits du caractère reçu par rapport à l'horloge RxClk.
- Cette horloge synchronise une horloge interne dont le facteur de division $1/16$ ou $1/64$ est choisit par la programmation du registre de contrôle. Pour le rapport $1/1$ la synchro doit être externe.

Rapport 1/1



- Dans ce mode il n'y a pas de synchro de bit à l'intérieur du récepteur,
- l'horloge externe doit être synchronisée par la donnée de la manière suivante : dès l'apparition de la première transition négative après une période de repos du signal reçu, l'échantillonnage se produit sur le front montant de l'horloge externe RxClk et le bit START est chargé sur le front descendant suivant de l'horloge.
- Pour améliorer la sécurité de détection, le front positif de l'horloge externe doit intervenir dans le milieu d'un bit.

Réception rapport 1/1



Rapport 1/16 et 1/64



- La synchronisation est assurée par la première transition négative suivant une période de repos. Le bit de départ (START) est échantillonné durant les transitions positives de l'horloge externe RxClk.
- Si l'entrée RxData est au niveau bas
 - pour 9 échantillons dans le mode 1/16, ou
 - pour 33 échantillons dans le mode 1/64

Ce qui représente plus de 50% de la durée d'un bit, le bit est reçu est considéré comme bit START.

- Ce bit est rangé dans le registre à décalage RSR sur le front descendant de l'horloge interne.

Rapport 1/16 et 1/64(suite)



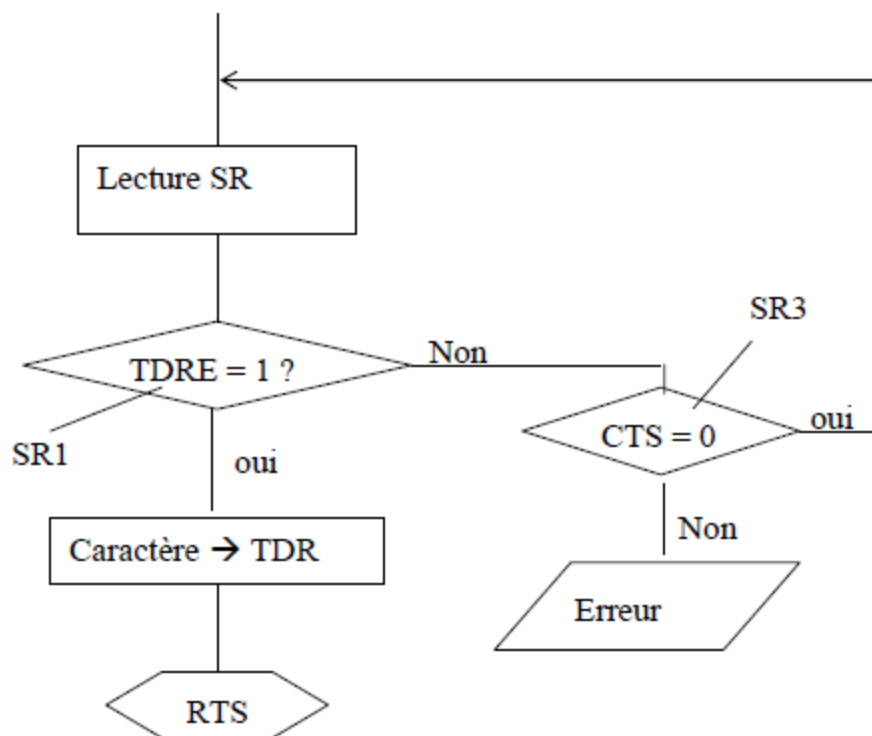
- Une fois le bit de départ détecté, la synchro de bit et de caractère est faite. Les autres bits suivant le bit START sont décalés dans RSR à peu près au milieu de leur durée.
- Si l'entrée RxData retourne à l'état haut pendant la période d'échantillonnage du bit de départ, ce faux bit de départ est ignoré et le récepteur se place en attente d'un bit de départ correcte
- Cette technique de comptage d'un certain nombre d'échantillonnage pour reconnaître un bit de départ donne de meilleurs résultats que la technique d'échantillonnage continue. En effet l'immunité au bruit est meilleure car une impulsion parasite ne peut pas déclencher le système de synchro.

Fonctionnement du Récepteur



- La validité du caractère reçu est contrôlée pendant la réception et positionne les bits concernées du registre d'état. Il y a test de parité, de format, de débordement,
- La réception complète du caractère, provoque la mise à 1 de RDRF du mot d'état,
- Le caractère est transféré dans le registre RDR après suppression des bits de départ, de parité et de STOP,
- Le premier bit série reçu correspondra sur le bus de données à D0. Il est possible de lire un caractère dans RDR pendant qu'un autre caractère est mémorisé dans RSR.

Algorithme de transmission



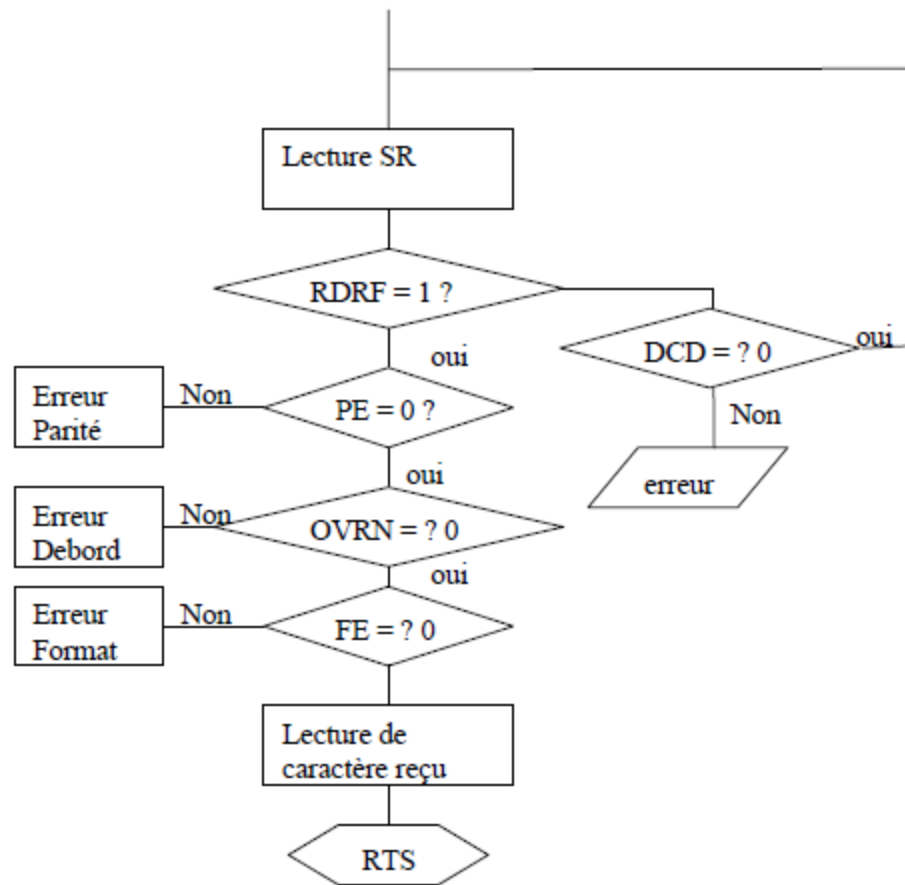
Routine de transmission



ACIASR	EQU	8000	(SR,CR)
ACIADR	EQU	8001	(RDR, TDR)
	LDA	#03	Master Reset
	STA	ACIASR	Registre CR
DEBUT	LDA	ACIASR	
	ASRA		
	ASRA		
	BCS	TRANS	Test TDRE (SR1)
	ASRA		
	ASRA		
	BCC	DEBUT	Test de CTS (SR3)
	BSR	ERROR	
TRANS	STAB	ACIADR	Caractère dans TDR
	RTS		

IRQ	PE	OV	FE	CTS	DCD	TDRE	RDRF
-----	----	----	----	-----	-----	------	------

Algorithme de réception



Routine de réception



DEBUT	LDA	ACIASR	
	ASRA		
	BCS	TESTFE	Test RDRF (SR0)
	ASRA		
	ASRA		
	BCS	DEBUT	Test DCD (SR2)
	BRA	ERROR	
TESTFE	ASRA		(4 fois)
	BCC	TESTOV	
	BRA	ERFORM	

IRQ	PE	OV	FE	CTS	DCD	TDRE	RDRF
-----	----	----	----	-----	-----	------	------

TESTOV	ASRA
	BCC TESTPE
	BRA EROVRN
TESTPE	ASRA
	BCC Lecture
	BRA ER PAR
Lecture	LDA ACIADR
	RTS

IRQ	PE	OV	FE	CTS	DCD	TDRE	RDRF
-----	----	----	----	-----	-----	------	------

Bibliographie:



- * Cours STRM 3^{ème} année (Option Système d'informatique) à l'Ecole Supérieure d'informatique - Alger proposé par Dr Sehad Abdenour
- * Cours Microprocesseurs du 6800 au 6809. Mode d'interfaçage